

文章编号 1004-924X(2011)08-1937-07

光转换单元中锁相环带宽的优化

袁建国*, 李好, 何清萍

(重庆邮电大学 光纤通信技术重点实验室, 重庆 400065)

摘要:考虑光转换单元(OTU)中锁相环带宽同时受外部输入抖动和内部相位噪声抖动的影响,为克服锁相环带宽选择的矛盾性,本文对其带宽进行了优化设计。在同时考虑外部输入抖动和内部相位噪声的情况下,对锁相环带宽算法进行综合分析。通过改进前人的计算和分析方法推导出 OTU 中锁相环带宽的优化算法,分析并得到锁相环路的优化带宽,使 OTU 的时钟输出有较低的抖动噪声。将优化算法应用到 2.5 Gbit/s 和 10 Gbit/s 的 OTU 中,对环路参数进行定量和定性分析,获得了锁相环的优化参数和再生器输出抖动值。实验研究表明,该优化算法具有一定优越性与可行性,比较适用于 OTU。

关键词:锁相环;优化算法;噪声;带宽;抖动

中图分类号:TN929.53 **文献标识码:**A **doi:**10.3788/OPE.20111908.1937

Optimization of bandwidth for phase-locked loop in OTU

YUAN Jian-guo*, LI Hao, He Qing-ping

(Key Laboratory of Optical Fiber Communication Technology,
Chongqing University of Posts and Telecommunications, Chongqing 400065, China)

* Corresponding author, E-mail: yyyjg@126.com

Abstract: As both the external input jitter and the internal phase noise jitter impact on the bandwidth of Phase-Locked Loop(PLL) in an Optical Transponder Unit(OTU), the bandwidth of the PLL was designed optimally to solve the contradiction of the wavelength selection. With consideration of the external input jitter and the internal phase noise, the bandwidth algorithm of the PLL was comprehensively analyzed, and an optimization algorithm of the bandwidth for PLL in the OTU was deduced through improving calculation and analytical methods from formers. The optimal bandwidth of the PLL can ensure the lower jitter noise of clock output in the OUT. The optimization algorithm was applied in the OTUs with 2.5 Gbit/s and 10 Gbit/s, respectively to analyze the loop parameters and the optimal parameters of the PLL and the output jitter value of a regenerator were acquired quantitatively and qualitatively. The experiment shows that the optimization algorithm is superior to traditional algorithms and more suitable for OTUs.

Key words: Phase-locked loop(PLL); optimization algorithm; noise; bandwidth; jitter

收稿日期:2010-12-13;修订日期:2011-02-15.

基金项目:国家自然科学基金资助项目(No. 61071117;No. 61003256);重庆市自然科学基金资助项目(No. 2010BB2409);重庆市教委科学技术研究项目(No. KJ110519)

1 引言

光转换单元 (Optical Transponder Unit, OTU) 中锁相环带宽会同时受到外部输入抖动与内部相位噪声抖动的影响^[1-3]。从锁相环的抖动传递函数和误差传递函数可看出,对于输入抖动而言,大于环路带宽抖动频率的抖动会被抑制掉,如果输出抖动的来源主要是输入抖动,那么降低环路带宽可减小 OTU 的抖动^[3-6]。锁相环内部的压控振荡器相位噪声是环路内部引起抖动的主要来源,内部相位噪声与环路的误差传递函数有关,低于环路带宽的内部相位噪声频率会被抑制掉。如果输出抖动主要由内部相位噪声引起,那么增大环路带宽可减小整个 OTU 的抖动^[3-6]。由于外部和内部噪声源不同,锁相环带宽的选择产生了矛盾,需要对带宽进行优化设计,从而既有效减小内部抖动的影响又能抑制外部输入抖动,这样,对锁相环路带宽的选择就极其重要。因而,目前进行锁相环带宽优化设计的研究在国内外是一个热点课题^[7-11]。

本文通过对文献[3-5]中锁相环带宽算法的综合分析,推导出 OTU 中锁相环带宽的优化算法,分析、得到其锁相环路的优化带宽,并将其优化算法应用到 2.5 Gbit/s 和 10 Gbit/s 的 OTU 中,获得锁相环的优化参数和再生器输出抖动值。

2 锁相环带宽在抖动条件下的优化算法

分析 OTU 中锁相环,可以看出锁相环路系统的输出抖动(考虑零输入时)一方面主要受压控振荡器的相位噪声和一个与环路带宽成反比的系统参数的影响,与环路带宽成反比^[3-5];另一方面当考虑零状态响应时,锁相环系统的输出抖动则主要受外部输入抖动和这个系统参数影响,与环路带宽成正比^[3-7]。这两个方面叠加即为锁相环路的优化带宽。

如果参考时钟和恢复时钟之间有一个随机的相位误差(抖动) τ ,那么可以算得在 N 个周期结束后相位误差的均方根值,在第 i 个周期中对应的抖动值为 τ_i , N 个周期中抖动的均方根值为。

$$\tau_{\text{rms}} = \sqrt{\frac{1}{N} \sum_{i=1}^N \tau_i^2} \quad (1)$$

抖动积累的分析在数据时钟恢复电路 (Clock Data Recovery, CDR) 和频率合成器都是很重要的。输出抖动的分析要考虑内部噪声源引起的抖动,同时外部噪声对输出抖动的影响也很大。只是对 CDR 来说输入噪声(输入抖动)是主要的噪声源,而对频率合成器来说内部噪声是主要的噪声源。

图 1 所示为一个锁相环简单的噪声模型(以二阶锁相环为例),带 Phase-Frequency Detector (PFD) 和 Charge Pump。噪声分析包含两部分,输入抖动 θ_m 和内部噪声(这里主要考虑压控振荡器 (VCO) 噪声) θ_{vco} 。

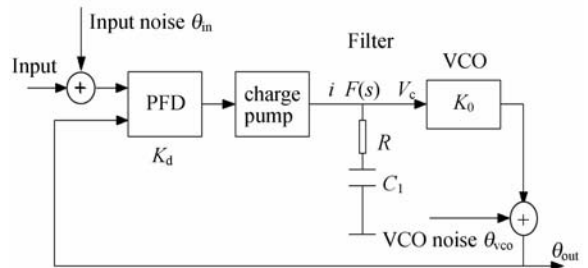


图 1 PLL 简单噪声模型

Fig. 1 Simple noise model for PLL

由于 PFD 鉴相器噪声和低通滤波器噪声的影响很小,此处暂不考虑。根据线性系统的特点,输入抖动和内部抖动可以分别进行线性分析,首先是得到在 Z 域下的抖动传递函数,然后经过 Z 反变换得到输出抖动时间域表达式,最后求得输出抖动的均方根值,经过运算找到最小的均方根情况下对应的环路带宽,即优化的环路带宽。

2.1 内部抖动分析(考虑零输入时)

根据图 1 可以得到内部抖动传递函数:

$$\frac{\theta_{\text{out1}}}{\theta_{\text{vco}}} = \frac{1}{1 + KF(z)z^{-1}} \quad (2)$$

式中 $K = K_d K_o$, $F(z) = TZ \left[L^{-1} \left(\frac{F(s)}{s} \right) \right]_{t=nT}$,

$F(s)$ 是滤波器的传递函数。

因 $F(s) = \frac{R}{s} \left(s + \frac{1}{RC_1} \right)$, 带入 $F(z)$ 式可以得到:

$$F(z) = RT \frac{z^2 + \left(\frac{1}{RC_1} T - 1 \right) z}{(z-1)^2}, \quad (3)$$

对于高速传输系统, $\frac{1}{RC_1} T \ll 1$, 因而由式(3)可得:

$$F(z) \approx RT \frac{z}{z-1}, \quad (4)$$

将式(4)带入式(2), 可得:

$$\frac{\theta_{out1}}{\theta_{vco}} = \frac{1-z^{-1}}{1-(1-m)z^{-1}}, \quad (5)$$

式中 $m = K_d K_o RT_o$.

θ_{vco} 是压控振荡器的噪声相位, 它可作为一个阶跃信号, 其幅度(抖动大小)具有随机性, Z 变换为: $\theta_{vco} = \frac{2\pi\tau_{inside}}{T} \frac{1}{1-z^{-1}}$, 式中 $\tau_{inside}(ps)$ 是抖动幅度, 带入式(5)可得到在内部抖动情况下输出抖动的大小:

$$\theta_{out1}(z) = \frac{2\pi\tau_{inside}}{T} \frac{1}{1-(1-m)z^{-1}}, \quad (6)$$

对(6)式进行 Z 反变换, 可以得到输出抖动时间域的表达式:

$$\theta_{out1}(nT) = \frac{2\pi\tau_{inside}}{T} (1-m)^n u(nT), \quad (7)$$

根据抖动均方根值的定义, 可得到:

$$\theta_{sum1}(nT) = \sum_{k=-\infty}^n [\theta_{out1}(nT)] = \sum_{k=-\infty}^n \left(\frac{2\pi\tau_{inside}}{T} (1-m)^{n-k} \right). \quad (8)$$

可以认为每个周期里的抖动幅度并不是连续变化的, 而是一个随机变量, 并且两个周期之间的抖动幅度互不相干, 因此有: 当 $r \neq l$ 时, $E[\tau_r, \tau_l] = 0$; 当 $r = l$ 时, $E[\tau_r, \tau_l] = \tau_r^2$.

那么输出抖动的均值为:

$$E[\theta_{sum1}^2(nT)] = \left(\frac{2\pi}{T} \right)^2 \tau_{inside}^2 \sum_{k=-\infty}^n (1-m)^{2(n-k)} = \left(\frac{2\pi}{T} \right)^2 \tau_{inside}^2 \frac{1}{m(2-m)} \approx \left(\frac{2\pi}{T} \right)^2 \tau_{inside}^2 \frac{1}{2m}, \quad (9)$$

推导出输出抖动均方根为:

$$\sqrt{E[\theta_{sum1}^2(nT)]} = \left(\frac{2\pi}{T} \right) \tau_{inside} \sqrt{\frac{1}{2m}}, \quad (10)$$

式中 τ_{inside} 为内部抖动的均方根值。

因为 $m = K_d K_o RT$, 并且环路的自然频率 ω_n

$$= \sqrt{\frac{K_d K_o}{c_1}}, \text{ 合并两式可以得到:}$$

$$m = \omega_n^2 RT c_1, \quad (11)$$

将式(11)带入式(10), 那么输出抖动的均方根为:

$$\sqrt{E[\theta_{sum1}^2(nT)]} = \left(\frac{2\pi}{T} \right) \tau_{inside} \sqrt{\frac{1}{2\omega_n^2 RT c_1}} = \frac{1}{\omega_n \sqrt{RC_1}} \sqrt{\frac{1}{2T}} \left(\frac{2\pi}{T} \right) \tau_{inside} = \frac{1}{\epsilon} \sqrt{\frac{1}{2T}} \left(\frac{2\pi}{T} \right) \tau_{inside}. \quad (12)$$

式中 $\epsilon = \omega_n \sqrt{RC_1}$, 可看出输出抖动的均方根与 ϵ 成反比。也看出, 增加环路带宽, 输出抖动的积累将会减小, 这与环路带宽与内部抖动之间的关系是相符合的。

2.2 输入抖动分析(考虑内部抖动为零)

输入抖动分析和内部抖动分析类似。根据图1可得到外部输入抖动的传递函数为:

$$\frac{\theta_{out2}}{\theta_{in}} = \frac{KF(z)z^{-1}}{1+KF(z)z^{-1}}, \quad (13)$$

式中 θ_{in} 是输入抖动, 可以认为是一个幅度为 $\tau_{outside}$ (随机变量)的冲激响应信号, 其 Z 变换的形式为: $\theta_{in}(z) = \frac{2\pi}{T} \tau_{outside}$, 将它与式(3)一起带入式

(13), 可得到:

$$\theta_{out2}(z) = \frac{2\pi\tau_{outside}}{T} \frac{mz^{-1}}{1-(1-m)z^{-1}}. \quad (14)$$

同理将输出的抖动从 Z 域变换到时间域:

$$\theta_{out2}(nT) = \frac{2\pi\tau_{outside}}{T} m (1-m)^{n-1} u[(n-1)T], \quad (15)$$

对其求和可以得到:

$$\theta_{sum2}(nT) = \sum_{k=-\infty}^n [\theta_{out2}(nT)] = \sum_{k=-\infty}^n \left(\frac{2\pi\tau_{outside}}{T} m (1-m)^{n-k+1} \right), \quad (16)$$

和上述同理可以得出在输入抖动的情况下输出抖动的均方根值:

$$\begin{aligned} \sqrt{E[\theta_{\text{sum}2}^2(nT)]} &= \left(\frac{2\pi}{T}\right)\tau_{\text{outside}}(1-m)\sqrt{\frac{m}{2}} \approx \\ &\left(\frac{2\pi}{T}\right)\tau_{\text{outside}}\sqrt{\frac{m}{2}} = \\ \omega_n \sqrt{Rc} \sqrt{\frac{T}{2}} \left(\frac{2\pi}{T}\right)\tau_{\text{outside}} &= \\ \epsilon \sqrt{\frac{T}{2}} \left(\frac{2\pi}{T}\right)\tau_{\text{outside}}, \end{aligned} \quad (17)$$

式中 τ_{outside} 为外部抖动的均方根值。可看出输出抖动的均方根与 $\epsilon = \omega_n \sqrt{Rc_1}$ 成正比,同理可看出减小环路带宽,可以减小环路输出抖动的积累,这也与环路带宽与外部输入抖动之间的关系是相符合。

2.3 综合分析

根据线性系统的可叠加性,整个环路的输出抖动的均方根为:内部抖动影响下的输出抖动与输入抖动影响下的输出抖动之和,如式(18)所示:

$$f(\epsilon) = \sqrt{E[\theta_{\text{sum}}^2(nT)]} = \sqrt{E[\theta_{\text{sum}1}^2(nT)]} + \sqrt{E[\theta_{\text{sum}2}^2(nT)]} = \frac{1}{\epsilon} \sqrt{\frac{1}{2T}} \left(\frac{2\pi}{T}\right)\tau_{\text{inside}} + \epsilon \sqrt{\frac{T}{2}} \left(\frac{2\pi}{T}\right)\tau_{\text{outside}}, \quad (18)$$

上式中右边第一项为内部抖动影响下的输出抖动均方根值;第二项为输入抖动影响下的输出抖动均方根值。

得到的简化的 $f(\epsilon)$ 函数曲线如图 2 所示。图示中一条是与输出抖动成反比的曲线,另一条是与输出抖动成正比的曲线,两条曲线叠加后可得到存在有最小值点的函数曲线,这个最小值点就对应优化的环路带宽。实际上两条直线的交点也对应优化的环路带宽。

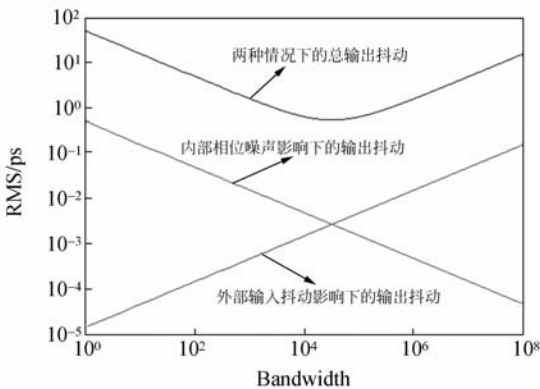


图 2 $f(\epsilon)$ 的函数曲线图

Fig. 2 Curve diagram for function $f(\epsilon)$

对式(18)求导后得到在输出抖动均方根值

达到最小情况下, ϵ 的值为:

$$\epsilon_0 = \sqrt{\frac{1}{T} \left(\frac{\tau_{\text{inside}}}{\tau_{\text{outside}}} \right)}. \quad (19)$$

将 ϵ 带入式(19)可得:

$$\frac{1}{T} \left(\frac{\tau_{\text{inside}}}{\tau_{\text{outside}}} \right) = K_o K_d R = K_o K_d \frac{2\xi\omega_n}{K_o K_d} = 2\xi\omega_n, \quad (20)$$

式中 ξ 为锁相环的另一个参数阻尼系数,对于 SDH 网络中定时再生电路,这个系数一般取值为 ≥ 5 。

从式(20)可以得出优化的环路自然频率,也就得出了优化的环路带宽,自然频率 ω_n 和电阻、电容值的关系为:

$$C_1 = \frac{K_o K_d}{\omega_n^2}, \quad (21)$$

式中 K_o 为 VCO 增益; K_d 为鉴相器增益;

$$R = \frac{2\xi}{\omega_n C_1} = \frac{2\xi\omega_n}{K_o K_d}, \quad (22)$$

式中 ξ 为环路阻尼系数。

根据上述式(21)和式(22),可以确定外接滤波器电阻和电容的值,在工程应用上可以通过调节外接滤波器电阻和电容的值来实现调节锁相环带宽从而满足 ITU-T 建议要求的带宽和抖动要求。

这里特别需要指出的是,对比分析文献[3-5]中锁相环带宽算法后可知,本文所推导出的锁相环带宽算法既考虑了内部抖动的影响又考虑了外面输入抖动的影响,因而该算法既能有效减小内部抖动的影响又能抑制外部的输入抖动,具有一定的优越性。

3 优化算法在 OTU 设计中的应用分析

3.1 2.5 Gbit/s OTU 设计的应用分析

在 OTU 的一个定时再生电路中,输入数据频率为 2.5 Gbit/s,再生电路的定时方式如图 3 所示。

内部抖动均方根非常小,一般是 ps 数量级,所以带宽的变化是随着输入抖动均方根值的变化而变化的。接收端是一个 CDR,主要用于抑制输入抖动,这时输入抖动均值比较大,要求带宽小,但这个带宽必须满足最低抖动容限的要求,防止误码。发送端是为了控制环路内部噪声,抑制产

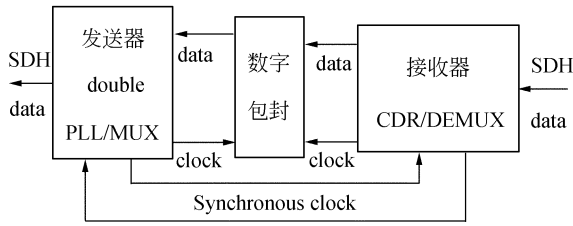


图 3 2.5 Gbit/s OTU 的高速同步定时方式

Fig. 3 High speed synchronization timing mode for 2.5 Gbit/s OTU

生的时钟抖动,而这时输入抖动相对比较小,因此要求环路带宽较大。将各个参数带入到函数 $f(\epsilon)$ 可以绘制出 CDR 和频率合成器的输出抖动均

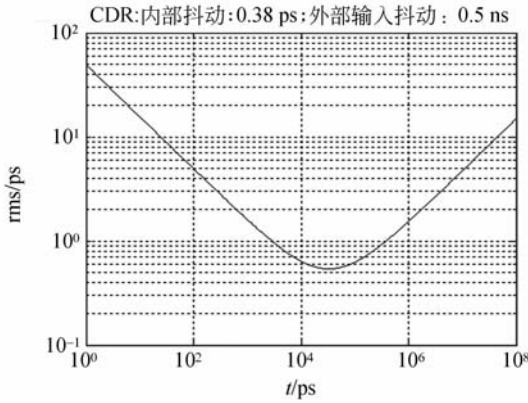


图 4 CDR 锁相环输出抖动均方根的最小值

Fig. 4 Minimum root mean square values of output jitter for CDR PLL

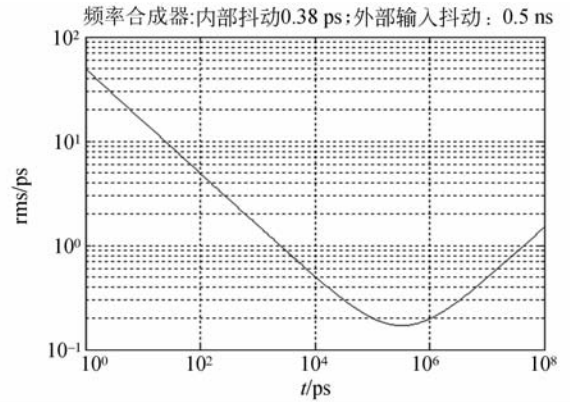


图 5 频率合成器输出抖动均方根的最小值

Fig. 5 Minimum root mean square values of output jitter for frequency synthesizer

方根值的曲线图,根据上述理论可以求得优化带宽的值,如图 4 和图 5 所示,可以看出两者带宽之间的区别。

从图 4 与图 5 可看出,在内部抖动均方根值相同的情况下,外部输入抖动的差异会引起环路带宽选择的不同。在低输入抖动情况下,优化的带宽大约为 300 krads,而在输入抖动比较大的情况下,优化的带宽大约为 30 krads。

将各个参数带入到上述带宽的优化算法中,可计算出优化带宽,输出抖动均方根值,还有外接滤波器电阻和电容的值。表 1 是根据此优化算法实际计算得出的优化值。

表 1 根据优化算法得出的优化值(2.5 Gbit/s OTU)

Tab. 1 Optimized values based on optimization algorithm (for 2.5 Gbit/s OTU)

	外部输入抖动(rms): $\tau_{outside}$	内部抖动(rms): τ_{inside} 比较固定	计算得出 优化带宽	输出抖动的 均方根(rms)	R	C_1
接收端 CDR	输入抖动较大:0.5 ns	0.012UI→0.38 ps	5.316 kHz	0.961 ps	94.5 Ω	1 μ F
发送端	输入抖动较小:50 ps	0.012UI→0.38 ps	53.16 kHz	0.0963 ps	1 k Ω	5.6 nF

从表 1 中可看出,接收端 CDR 输出抖动的均方根远大于发送端均方根,这是因为输入数据本身带有抖动,而 CDR 功能是为了恢复数据时钟,并且能再生数据,因此 CDR 恢复的时钟相位必须要跟踪上数据信息的相位才不会产生误码,所以 CDR 的输出时钟带有比频率合成器输出时钟更大的抖动。但是在一定的误码要求下,锁相环路

的“狭带滤波”特性可以滤掉一部分输入抖动,这也是要求 CDR 中的锁相环带宽较小,但也必须满足抖动容限的要求,防止误码的产生。

3.2 10 Gbit/s OTU 设计的应用分析

10 Gbit/s OTU 的定时方式如图 6 所示。

图 6 的定时方式中锁相环组成了频率合成器,不需要在输入数据中提取时钟信息,所以输入

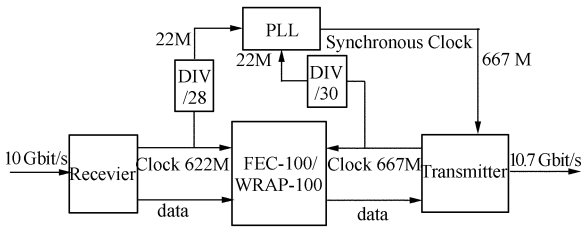


图 6 10 Gbit/s OTU 的高速同步定时方式

Fig. 3 High speed synchronization timing mode for 10 Gbit/s OTU

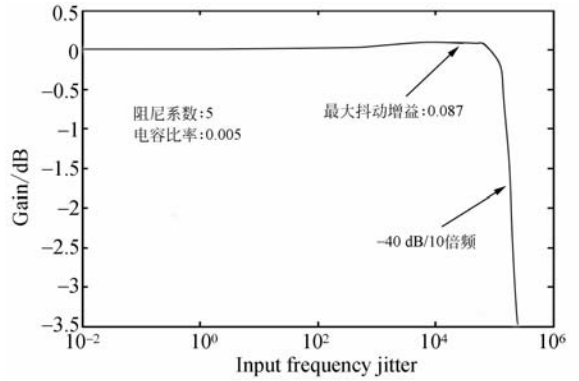


图 7 优化带宽的传递函数曲线

Fig. 7 Transfer function curve for the optimization bandwidth

抖动比较小,它的输出抖动主要来源于内部的相位噪声。由本文介绍的优化算法计算得出的优化值如表 2 所示。

表 2 根据优化算法得出的优化值(10 Gbit/s OTU,电容比率取 0.005)

Tab. 2 Optimized values based on optimization algorithm (for 10Gbit/s OTU and 0.005 capacitance-ratio)

外部输入抖动(rms): $\tau_{outside}$	内部抖动(rms): τ_{inside} 比较固定	计算得出 优化带宽	输出抖动的 均方根(rms)	R	C_1	C_2
频率合成器 输入抖动较小:50 ps	0.012UI→0.38 ps	26.61 kHz	0.85 ps	10.8 kΩ	55.4 nF	277 pF

可从表 2 计算出的各个参数得出环路的传递函数曲线,如图 7 所示。

从表 2 可看出,计算得出的优化环路带宽满足其带宽要求,并由图 7 可看出,抖动增益 <0.1 dB,表明这样的再生器设计也是合理的。因而,本文优化算法比较适用于 OTU,在实际应用中将定性和定量分析方法结合起来具有很好的指导意义。

4 结 论

本文对文献[3-5]中锁相环带宽算法进行综合分析,通过改进前人的计算和分析方法,推导出

锁相环带宽的优化值。推导的锁相环带宽算法既考虑了内部抖动的影响又考虑了外面输入抖动的影响,因而其既能有效减小内部抖动又能抑制外部的输入抖动,具有一定的优越性。最后,本文将所推导的优化算法应用到 2.5 Gbit/s 和 10 Gbit/s OTU 的设计中,并进行了仿真计算,验证了本优化算法的可行性。本文提出的抖动条件下锁相环参数的优化算法是在同时考虑输入抖动和内部噪声的情况下得出输出抖动的最小值进而得到环路参数的最优解,因而本文优化算法比较适用于 OTU,在实际应用中将定性和定量分析方法结合起来具有很好的指导意义。

参考文献:

[1] 王龙水,李勇.光传输网的抖动和漂移[M].北京:北京邮电大学出版社,2002.
WANG L SH, LI Y. *The Jitter and Wander in Optical Transmission Network*[M]. Beijing: Press of Beijing University of Posts and Telecommunications, 2002.

[2] GURUMOORTHY V, PALERMO S. Supply regu-

lation techniques for phase-locked loops [C]. *Circuits and Systems Workshop (DCAS 2009)*, Dallas IEEE, 2009:1-4.

[3] van der TANG J D, VAUCHER C S. Design and optimization of a low jitter clock-conversion PLL for SONET/SDH optical transmitters [C]. *Electronics, Circuits and Systems (ICECS 2001)*, Poland Zakopane, IEEE, 2001:31-34.

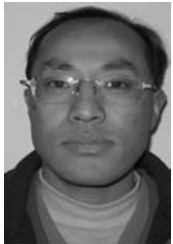
[4] 张厥盛,郑继禹,万心平.锁相环技术[M].西安:

西安电子科技大学出版社, 2003.

ZHANG J SH, ZHENG J Y, WAN X P. *Phase-Locked Loop Technologies* [M]. Xi'an: Press of Xidian University, 2003. (in Chinese)

- [5] KYOOHYUN L, PARK CH H, KIM D, *et al.*. A low-noise phase-locked loop design by loop bandwidth optimization[J]. *IEEE Journal of Solid-State Circuits*, 2000, 35(6):807-815.
- [6] KROUPA V F. *Phase Lock Loops and Frequency Synthesis* [M]. West Sussex England: John Wiley & Sons Ltd, 2003.
- [7] XIANG G, KLUMPERINK E A M, GERAEDTS P F J, *et al.*. Jitter analysis and a benchmarking figure-of-merit for phase-locked loops[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2009, 56(2):117-121.
- [8] KHO J, LOH C I, WUI H M, *et al.*. Extended analysis of SSN effect on phase-locked loop (PLL) circuit [C]. *Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2009)*. Hong Kong, IEEE, 2009; 1- 4.
- [9] PEDRO R, JOSEP P, JOAN B, *et al.*. Decoupled double synchronous reference frame PLL for power converters control[J]. *IEEE Trans. on Power Electronics*, 2007, 22(2):584-592.
- [10] KAMATH A S, CHATTOPADHYAY B A. 13 MHz input, 480 MHz output Fractional Phase Lock Loop with 1 MHz bandwidth [C]. *Circuits and Systems (ISCAS 2010)*, Paris IEEE, 2010; 501-504.
- [11] ARAKALI A, GONDI S, HANUMOLU P K. Analysis and design techniques for supply-noise mitigation in phase-locked loops[J]. *IEEE Journal of Circuits and Systems I*, 2010, 57(11):2880-2889.

作者简介:



袁建国(1968—),男,重庆人,副教授,博士,主要从事光纤通信技术与光电子技术等方面的研究。E-mail: yyyjg@126.com



何清萍(1989—),女,四川南充人,硕士研究生,主要从事光通信技术与光电子技术等方面的研究。E-mail: 627644492@qq.com



李好(1988—),女,重庆人,硕士研究生,主要从事光通信技术与光电子技术等方面的研究。E-mail: 386700101@qq.com